

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Kentaro WATANABE

Serial No. Not yet assigned

Group Art Unit: Not yet assigned

Filed: November 25, 2003

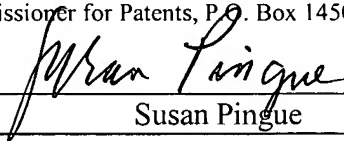
Examiner: Not yet assigned

Title: SEMICONDUCTOR DEVICE

EXPRESS MAIL NUMBER: EV 302278311 US

DATE OF DEPOSIT: November 25, 2003

I hereby certify that this paper is being deposited with the United States Postal Service "EXPRESS MAIL Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313.



Susan Pingue

* * *

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicant claims as priority:

<u>COUNTRY</u>	<u>APPLICATION NO.</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-318389	September 10, 2003

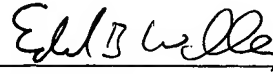
A Certified copy of the corresponding Convention Application is being submitted herewith.

Respectfully submitted,

GRAY CARY WARE & FREIDENRICH LLP

Dated: November 25, 2003

By



Edward B. Weller

Reg. No. 37,468

Attorney for Applicant

GRAY CARY WARE & FREIDENRICH

2000 University Avenue

East Palo Alto, CA 94303

Telephone: (650) 833-2436

Facsimile: (650) 833-2001

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 9 月 1 0 日
Date of Application:

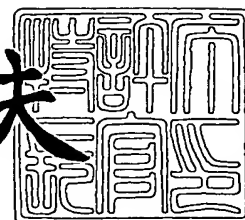
出 願 番 号 特 願 2 0 0 3 - 3 1 8 3 8 9
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 3 1 8 3 8 9]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 3 年 1 0 月 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 A000302894
【提出日】 平成15年 9月10日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/00
H01F 5/00
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ
レクトロニクスセンター内
【氏名】 渡邊 健太郎
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181
【選任した代理人】
【識別番号】 100091351
【弁理士】
【氏名又は名称】 河野 哲
【選任した代理人】
【識別番号】 100088683
【弁理士】
【氏名又は名称】 中村 誠
【選任した代理人】
【識別番号】 100108855
【弁理士】
【氏名又は名称】 蔵田 昌俊
【選任した代理人】
【識別番号】 100084618
【弁理士】
【氏名又は名称】 村松 貞男
【選任した代理人】
【識別番号】 100092196
【弁理士】
【氏名又は名称】 橋本 良郎
【手数料の表示】
【予納台帳番号】 011567
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

半導体基板と、
前記半導体基板の上に形成された絶縁層と、
前記絶縁層の上に形成されたインダクタと、
前記インダクタを囲み且つ延伸方向において波形部分が連続するように前記半導体基板に形成されたガードリングと、
前記ガードリングに所定電位を供給する電位供給配線と、
を具備することを特徴とする半導体装置。

【請求項 2】

前記電位供給配線は、前記所定電位を供給する電源端子と前記ガードリングの 1 点とを接続する第 1 コンタクトプラグをさらに具備することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記電位供給配線は、前記ガードリングの上方で、前記ガードリングの延伸方向に沿って且つ前記延伸方向において波形部分が連続するように形成された第 1 配線と、前記ガードリングと前記第 1 配線とを接続する複数の第 2 コンタクトプラグとをさらに具備することを特徴とする請求項 1 記載の半導体装置。

【請求項 4】

前記電位供給配線は、前記ガードリングの上方で、前記ガードリングと同一形状を有するように形成された第 1 配線と、前記ガードリングと前記第 1 配線とを接続する複数の第 2 コンタクトプラグとをさらに具備することを特徴とする請求項 1 記載の半導体装置。

【請求項 5】

前記電位供給配線は、一部が切断されていることを特徴とする請求項 3 又は 4 記載の半導体装置。

【請求項 6】

前記ガードリングと前記電位供給配線とは、夫々対応する一部が切断されていることを特徴とする請求項 3 又は 4 記載の半導体装置。

【請求項 7】

前記ガードリングは、互いに直角な方向に延びる第 1 及び第 2 セグメントが交互に接続されてなることを特徴とする請求項 1 記載の半導体装置。

【請求項 8】

半導体基板と、
前記半導体基板の上に形成された絶縁層と、
前記絶縁層の上に形成されたインダクタと、
前記インダクタを囲み、且つ複数部分が切断されるように前記半導体基板に形成されたガードリングと、
前記ガードリングの上方で、前記切断された複数部分に夫々対応する位置に形成された前記ガードリングに所定電位を供給する電位供給配線と、
を具備することを特徴とする半導体装置。

【請求項 9】

前記電位供給配線は、前記ガードリングと当該電位供給配線とを直列に接続する複数の第 1 コンタクトプラグをさらに具備することを特徴とする請求項 8 記載の半導体装置。

【請求項 10】

前記電位供給配線は、前記所定電位を供給する電源端子と当該電位供給配線の 1 点とを接続する第 2 コンタクトプラグをさらに具備することを特徴とする請求項 8 記載の半導体装置。

【請求項 11】

前記インダクタは、スパイラル形状を有することを特徴とする請求項 1 又は 8 記載の半導体装置。

【請求項 1 2】

前記半導体基板は、第 1 導電型の半導体基板からなり、
前記ガードリングは、前記半導体基板に前記第 1 導電型の不純物を添加して形成されることを特徴とする請求項 1 又は 8 記載の半導体装置。

【書類名】 明細書

【発明の名称】 半導体装置

【技術分野】

【0001】

本発明は、半導体装置に係り、特に半導体集積回路内に配置されたインダクタに適用して有効な技術に関する。

【背景技術】

【0002】

RF (Radio Frequency) 用途の半導体集積回路では、回路素子としてインダクタを用いることがある。このインダクタは、例えば半導体基板上に積層された多層配線層を用いて形成される。

【0003】

一方、上記半導体基板上に形成されたMOSトランジスタ等の他の回路素子から発生したノイズは、インダクタの特性に影響を及ぼす。このノイズの影響を避けるために、上記半導体基板には、インダクタを囲むようにガードリングが形成される。

【0004】

図10は、従来におけるインダクタとガードリングとを備えた半導体装置の一例を示す平面図である。図11は、図10に示した半導体装置におけるV-V線に沿った方向の断面図である。

【0005】

半導体基板2の上方には、インダクタ1が形成されている。このインダクタ1は、例えばスパイラル形状を有する金属部1aと、ビアプラグ1bと、金属部1cとから構成される。半導体基板2には、インダクタ1のスパイラル形状を有する金属部1aを囲むようにガードリング3が形成されている。このガードリング3は、p型或いはn型不純物を注入した拡散層により構成される。半導体基板2に形成されたガードリング3の周囲には、素子分離領域4が形成されている。

【0006】

ガードリング3の上方には、ガードリング3と略同一形状の電位供給配線5が形成されている。ガードリング3と電位供給配線5とは、複数のコンタクトプラグ6により接続されている。電位供給配線5は、例えば接地電位に固定される。これにより、ガードリング3は、電位供給配線5と同電位である接地電位に固定される。なお、半導体基板2とインダクタ1との間には、例えば絶縁層が形成される。

【0007】

このように構成された半導体装置では、半導体基板2に形成されたMOSトランジスタ等から発生するノイズがインダクタ1の特性に与える影響を防ぐことができる。

【0008】

また、この種の関連技術として、インダクタのノイズ等を低減する技術が開示されている（特許文献1参照）。

【0009】

ところで、インダクタ1に例えば右回りの電流が流れると、インダクタ1内部には図10の紙面手前から奥に向かう方向に磁束が発生する。一方、インダクタ1外部にはインダクタ1内部と反対方向、つまり図10の紙面奥から手前に向かう方向に磁束が発生する。インダクタ1に流れる電流が時間とともに変化するような場合、これに伴いインダクタ1外部の磁束も変化する。

【0010】

インダクタ1外部に形成されたガードリング3内及び電位供給配線5内の磁束を Φ 、起電力をVとすると、

$$V = d\Phi / dt$$

となる。よって、ガードリング3内及び電位供給配線5内には、上記起電力が発生する。この起電力によって、ガードリング3及び電位供給配線5には、インダクタ1に流れる電

流と逆向きの電流が流れる。これにより、インダクタ 1 の L (インダクタンス) が低下してしまう。また、ガードリング 3 及び電位供給配線 5 に流れる電流によって電力が消費され、この結果インダクタ 1 の Q (Quality Factor) が劣化してしまう。

【特許文献 1】米国特許第 5936299 号明細書

【発明の開示】

【発明が解決しようとする課題】

【0011】

本発明は、上記のような事情に鑑みてなされたもので、インダクタの周囲に形成されたガードリングに流れる電流を抑制することで、インダクタの L の低下及び Q の劣化を防止することが可能な半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0012】

上記目的を達成するために本発明の第 1 の視点に係る半導体装置は、半導体基板と、前記半導体基板の上に形成された絶縁層と、前記絶縁層の上に形成されたインダクタと、前記インダクタを囲み且つ延伸方向において波形部分が連続するように前記半導体基板に形成されたガードリングと、前記ガードリングに所定電位を供給する電位供給配線とを有する。

【0013】

また、本発明の第 2 の視点に係る半導体装置は、半導体基板と、前記半導体基板の上に形成された絶縁層と、前記絶縁層の上に形成されたインダクタと、前記インダクタを囲み、且つ複数部分が切断されるように前記半導体基板に形成されたガードリングと、前記ガードリングの上方で、前記切断された複数部分に夫々対応する位置に形成された前記ガードリングに所定電位を供給する電位供給配線とを有する。

【発明の効果】

【0014】

本発明の一視点によれば、インダクタの周囲に形成されたガードリングに流れる電流を抑制することで、インダクタの L の低下及び Q の劣化を防止することが可能な半導体装置を提供することができる。

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施の形態について図面を参照して説明する。

【0016】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態に係る半導体装置 S D 1 の主要部を示す平面図である。図 2 は、図 1 に示した半導体装置 S D 1 における I - I 線に沿った方向の断面図である。

【0017】

図 2 において、半導体基板 2 の上方には、インダクタ 1 が形成されている。半導体基板 2 は、例えば p 型半導体基板により構成される。インダクタ 1 は、例えばスパイラル形状を有する金属部 1 a と、ビアプラグ 1 b と、金属部 1 c とから構成される。このインダクタ 1 は、半導体基板 2 の上に積層して形成される多層配線層として形成される。なお、インダクタ 1 の形状は、四角形でもよいし、円形や八角形などいかなる形状でもよい。

【0018】

半導体基板 2 には、インダクタ 1 のスパイラル形状を有する金属部 1 a を囲むようにガードリング 7 が形成されている。また図 1 に示すように、ガードリング 7 は、波型の形状を有する。すなわち、ガードリング 7 は、インダクタ 1 のスパイラル形状部の外周の接線方向と並行方向だけでなく、上記接線方向と垂直方向にも形成されている。またガードリング 7 は、上記並行方向と上記垂直方向との夫々のセグメントが交互に接続して形成されている。

【0019】

ガードリング7は、p型半導体基板にp型不純物を注入したp+拡散層により構成される。このガードリング7は、例えば酸化膜等の絶縁体（図示せず）により周囲を覆われている。またガードリング7は、サリサイド（self-aligned silicide）により形成してもよい。

【0020】

半導体基板2に形成されたガードリング7の周囲には、素子分離領域4が形成される。この素子分離領域4は、例えば半導体基板内にトレンチを形成し、このトレンチ内に絶縁体を埋め込んで素子分離を行うSTI（Shallow Trench Isolation）により形成される。

【0021】

ガードリング7の上方には、ガードリング7と同様に波型の形状を有する電位供給配線8が形成されている。この電位供給配線8は、ガードリング7に所定電位を供給するために用いられる。なお本実施形態では、電位供給配線8は、ガードリング7に対応した同一形状を少なくとも有している。しかし、これに限定されず、後述する複数のコンタクトプラグ9がガードリング7に接続できる位置に電位供給配線8が配置されていれば、ガードリング7と同一形状を有していなくてもよい。また、電位供給配線8は、例えば低抵抗の金属により構成される。

【0022】

ガードリング7と電位供給配線8とは、複数のコンタクトプラグ9により接続されている。電位供給配線8は、例えば接地電位に固定される。これにより、ガードリング7は、電位供給配線8と同電位である接地電位に固定される。さらにガードリング7には、電位供給配線8の接地電位が上記複数のコンタクトプラグ9を介して全体に供給される。よって、ガードリング7は、全体が偏りなく接地電位に固定される。なお、半導体基板2とインダクタ1との間には、例えば絶縁層が形成される。

【0023】

このように形成された半導体装置SD1では、ガードリング7の抵抗値を、図10に示したガードリング3の抵抗値と比べて増加させることができる。ガードリング7に発生する起電力をV、インダクタ1によってガードリング7内に発生する磁束をΦとすると、上記起電力Vは、上記磁束Φの時間変化から計算でき、

$$V = d\Phi / dt$$

となる。ガードリング7に流れる電流値I_gは、ガードリング7の抵抗値をR_gとすると、オームの法則により、

$$I_g = V / R_g$$

となる。ガードリング7の形状を本実施形態のように波型の形状にすることで、波型にしない場合と比較して抵抗値R_gを増加させることができる。これにより、電流値I_gを減少させることができる。

【0024】

また、電流値I_gは、インダクタ1に流れる電流と逆方向であるためインダクタ1のLが低下する原因となる。しかし、ガードリング7を波型の形状にすることで、波型にしない場合と比較して電流値I_gを減少させることで、インダクタ1のLの低下を抑制することができる。

【0025】

また、ガードリング7で消費される電力値P_gは、

$$P_g = V^2 / R_g$$

となる。よって、抵抗値R_gが増加することで、電力値P_gを減少させることができる。これにより、インダクタ1のQの劣化を抑制することが可能となる。

【0026】

一方本実施形態では、電位供給配線8についても波型の形状を有している。このような構造にすることで、ガードリング7と同様の効果を得ることができる。

【0027】

以上詳述したように本実施形態では、半導体基板2の上方には、インダクタ1が形成さ

れる。また半導体基板 2 には、インダクタ 1 を囲み且つ波型の形状を有するガードリング 7 が形成される。またガードリング 7 の上方には、ガードリング 7 と同様に波型の形状を有する電位供給配線 8 が形成され、この電位供給配線 8 からガードリング 7 に所定電位が供給される。

【0028】

したがって本実施形態によれば、ガードリング 7 の抵抗値 R_g を、波型にしない場合と比べて増加させることができる。これにより、ガードリング 7 に流れる電流値 I_g が減少することで、インダクタ 1 の L の低下を抑制することができる。

【0029】

また、ガードリング 7 の抵抗値 R_g を増加させることで、ガードリング 7 により消費される電力値 P_g を抑制することができる。これにより、インダクタ 1 の Q の劣化を抑制することが可能となる。

【0030】

また、電位供給配線 8 についてもガードリング 7 と同様に波型の形状を有している。よって、ガードリング 7 と同様の効果を得ることができる。

【0031】

また、電位供給配線 8 をガードリング 7 に沿って形成し、複数のコンタクトプラグ 9 を介してガードリング 7 に接地電位を供給している。これにより、ガードリング 7 は、全体が偏りなく接地電位に固定される。

【0032】

なお、ガードリング 7 は、インダクタ 1 のスパイラル形状部の外周の接線方向に対して並行方向と垂直方向との夫々のセグメントが直角に接続されている。しかし、ガードリング 7 の形状が上記接線方向に対して垂直成分を有していれば、同様の効果を得ることができる。たとえば、連続した波型の曲線であってもよい。

【0033】

また、上記実施形態では、ガードリング 7 と電位供給配線 8 との両方が波型の形状を有しているが、もちろんいずれか一方のみが波型であってもよい。

【0034】

また、半導体基板 2 は、 n 型半導体基板により構成されてもよい。この場合、ガードリング 7 は、上記 n 型半導体基板に n 型不純物を注入した $n+$ 拡散層により構成される。さらに、ガードリング 7 は、電位供給配線 8 により最も高い電位である電源電位に固定される。

【0035】

(第 2 の実施形態)

第 2 の実施形態は、電位供給配線を用いずに、ガードリング 7 に電源端子から直接に電位を供給するようにしたものである。

【0036】

図 3 は、本発明の第 2 の実施形態に係る半導体装置 $SD2$ の主要部を示す平面図である。図 4 は、図 3 に示した半導体装置 $SD2$ における $II-II$ 線に沿った方向の断面図である。なお、上記第 1 の実施形態で説明した構成と同一部分には同一符号を付して詳しい説明は省略する。

【0037】

図 4 において、ガードリング 7 の任意の 1 点の上方には、電源配線 11 が形成されている。この電源配線 11 は、接地電位を供給する接地端子（図示せず）に接続される。ガードリング 7 の上記任意の 1 点と電源配線 11 とは、コンタクトプラグ 11 により接続されている。

【0038】

このように構成された半導体装置 $SD2$ において、ガードリング 7 は、上記接地電位に固定される。また、ガードリング 7 が波型の形状を有しているので、波型にしない場合と比較して抵抗値 R_g を増加させることができる。

【0039】

以上詳述したように本実施形態によれば、上記第1の実施形態で示したガードリング7に電位を供給するための電位供給配線8を設けない。低抵抗な電位供給配線8をインダクタ1の周囲に配置した場合、電位供給配線8にコンタクトプラグ9を介して接続されるガードリング7の抵抗値が低下してしまう。しかし、拡散層により形成された抵抗値の高いガードリング7のみをインダクタ1の周囲に周回させることで、電位供給配線8を備えた場合と比べてガードリング7の抵抗値を増加させることができる。

【0040】

また、ガードリング7を波型の形状にすることで、上記第1の実施形態と同様にインダクタ1のLの低下とインダクタ1のQの劣化とを抑制することができる。

【0041】

なお、ガードリング7は、連続したリングを形成せず、任意の一部が切断されていてもよい。

【0042】

(第3の実施形態)

第3の実施形態は、ガードリング12と電位供給配線13との一部を夫々切断して半導体装置SD3を構成したものである。

【0043】

図5は、本発明の第3の実施形態に係る半導体装置SD3の主要部を示す平面図である。なお、上記説明した構成と同一部分には同一符号を付して詳しい説明は省略する。

【0044】

半導体基板2には、インダクタ1のスパイラル形状を有する金属部1aを囲むようにガードリング12が形成されている。また図5に示すように、ガードリング12は、波型の形状を有する。すなわち、ガードリング12は、インダクタ1のスパイラル形状部の外周の接線方向と並行方向だけでなく、上記接線方向と垂直方向にも形成されている。さらに、ガードリング12は、任意の一部が切断されている。すなわち、ガードリング12は、連続したリングを形成していない。

【0045】

ガードリング12の上方には、ガードリング12と同様に波型の形状を有する電位供給配線13が形成されている。電位供給配線13は、ガードリング12の切断された位置に対応する部分が切断されている。

【0046】

ガードリング12と電位供給配線13とは、上記第1の実施形態と同様に複数のコンタクトプラグ9により接続されている。電位供給配線13は、例えば接地電位に固定される。

【0047】

このように構成された半導体装置SD3によれば、ガードリング12の抵抗値を、ガードリングが連続したリングを形成した場合と比較して増加させることができる。同様に、電位供給配線13の一部を切断することによって、電位供給配線13の抵抗値を、電位供給配線が連続したリングを形成した場合と比較して増加させることができる。これにより、インダクタ1のLの低下とインダクタ1のQの劣化とを抑制することができる。

【0048】

(第4の実施形態)

第4の実施形態は、ガードリング7は連続したリングを形成し、電位供給配線13のみ任意の一部を切断して半導体装置SD4を構成したものである。

【0049】

図6は、本発明の第4の実施形態に係る半導体装置SD4の主要部を示す平面図である。なお、上記説明した構成と同一部分には同一符号を付して詳しい説明は省略する。

【0050】

半導体基板2には、インダクタ1のスパイラル形状を有する金属部1aを囲むようにガ

ードリング 7 が形成されている。また図 6 に示すように、ガードリング 7 は、波型の形状を有する。

【0051】

ガードリング 7 の上方には、ガードリング 7 と同様に波型の形状を有する電位供給配線 13 が形成されている。さらに電位供給配線 13 は、任意の一部が切断されている。すなわち、電位供給配線 13 は、連続したリングを形成していない。

【0052】

このように構成された半導体装置 SD4 では、ガードリング 7 の上方に一部が切断されていない電位供給配線を配置した場合と比べて、ガードリング 7 の抵抗値を増加させることができる。これにより、インダクタ 1 の L の低下とインダクタ 1 の Q の劣化とを抑制することができる。

【0053】

また、上記第 2 の実施形態で示した電位供給配線を使用しない場合と比べて、ガードリング 7 に偏りなく電位を供給することができる。

【0054】

(第 5 の実施形態)

図 7 は、本発明の第 5 の実施形態に係る半導体装置 SD5 の主要部を示す平面図である。図 8 は、図 7 に示した半導体装置 SD5 における III-III 線に沿った方向の断面図である。図 9 は、図 7 に示した半導体装置 SD5 における IV-IV 線に沿った方向の断面図である。なお、上記説明した構成と同一部分には同一符号を付して詳しい説明は省略する。

【0055】

図 8 において、半導体基板 2 の上方には、インダクタ 1 が形成されている。半導体基板 2 には、インダクタ 1 のスパイラル形状を有する金属部 1a を囲むようにガードリング 14 が形成されている。また図 9 に示すように、ガードリング 14 は、複数部分が切断されて形成されている。ガードリング 14 の構成は、上記第 1 の実施形態で説明したガードリングと同様である。

【0056】

ガードリング 14 の上方には、電位供給配線 15 が形成されている。また図 9 に示すように、この電位供給配線 15 は、ガードリング 14 が切断された部分に対応して形成されている。電位供給配線 15 は、例えば低抵抗の金属により構成される。

【0057】

ガードリング 14 と電位供給配線 15 とは、複数のコンタクトプラグ 16 により接続されている。また図 9 に示すように、複数のコンタクトプラグ 16 は、ガードリング 14 と電位供給配線 15 との夫々のセグメントが直列に接続されるように配置される。このようにして、ガードリング 14 と電位供給配線 15 と複数のコンタクトプラグ 16 とにより、インダクタ 1 の周囲に全体として連続したリングが形成される。

【0058】

電位供給配線 15 の任意の 1 点の上方には、電源配線 18 が形成されている。この電源配線 18 は、接地電位を供給する接地端子（図示せず）に接続される。電位供給配線 15 の上記任意の 1 点と電源配線 18 とは、コンタクトプラグ 17 により接続されている。これにより、ガードリング 14 は、上記接地電位に固定される。

【0059】

このように構成された半導体装置 SD5 において、ガードリング 14 の夫々のセグメントと電位供給配線 15 の夫々のセグメントとは、直列に接続される。一方、ガードリングと電位供給配線とが夫々連続したリングを形成した場合、ガードリングと電位供給配線とは並列に接続されることになる。この場合、ガードリングの抵抗値が低下してしまう。本実施形態では、ガードリングと電位供給配線とが 1 つの連続したリングを形成している。よって、ガードリングと電位供給配線とが夫々連続したリングを形成する場合と比べて、ガードリング 14 と電位供給配線 15 との全体の抵抗値を増加させることができる。

【0060】

以上詳述したように本実施形態では、インダクタ1の周囲に複数部分が切断されたガードリング14が形成される。またガードリング14が切断された部分に対応して電位供給配線15が形成される。そしてガードリング14の夫々のセグメントと電位供給配線15の夫々のセグメントとが直列に接続されるように複数のコンタクトプラグ16が形成される。

【0061】

したがって本実施形態によれば、ガードリングと電位供給配線とが夫々連続したリングを形成する場合と比べて、ガードリング14と電位供給配線15との全体の抵抗値を増加させることができる。これにより、インダクタ1のLの低下とインダクタ1のQの劣化とを抑制することができる。

【0062】

また、複数のコンタクトプラグ16の抵抗値と、コンタクトプラグ16とガードリング14との間の接触抵抗と、コンタクトプラグ16と電位供給配線15との間の接触抵抗との分の抵抗値を増加させることができる。

【0063】

この発明は、上記実施形態に限定されるものではなく、その他、本発明の要旨を変更しない範囲において種々変形して実施可能である。

【図面の簡単な説明】**【0064】**

【図1】 本発明の第1の実施形態に係る半導体装置SD1の主要部を示す平面図。

【図2】 図1に示した半導体装置SD1におけるI-I線に沿った方向の断面図。

【図3】 本発明の第2の実施形態に係る半導体装置SD2の主要部を示す平面図。

【図4】 図3に示した半導体装置SD2におけるII-II線に沿った方向の断面図。

。

【図5】 本発明の第3の実施形態に係る半導体装置SD3の主要部を示す平面図。

【図6】 本発明の第4の実施形態に係る半導体装置SD4の主要部を示す平面図。

【図7】 本発明の第5の実施形態に係る半導体装置SD5の主要部を示す平面図。

【図8】 図7に示した半導体装置SD5におけるIII-III線に沿った方向の断面図。

【図9】 図7に示した半導体装置SD5におけるIV-IV線に沿った方向の断面図。

。

【図10】 従来におけるインダクタとガードリングとを備えた半導体装置の一例を示す平面図。

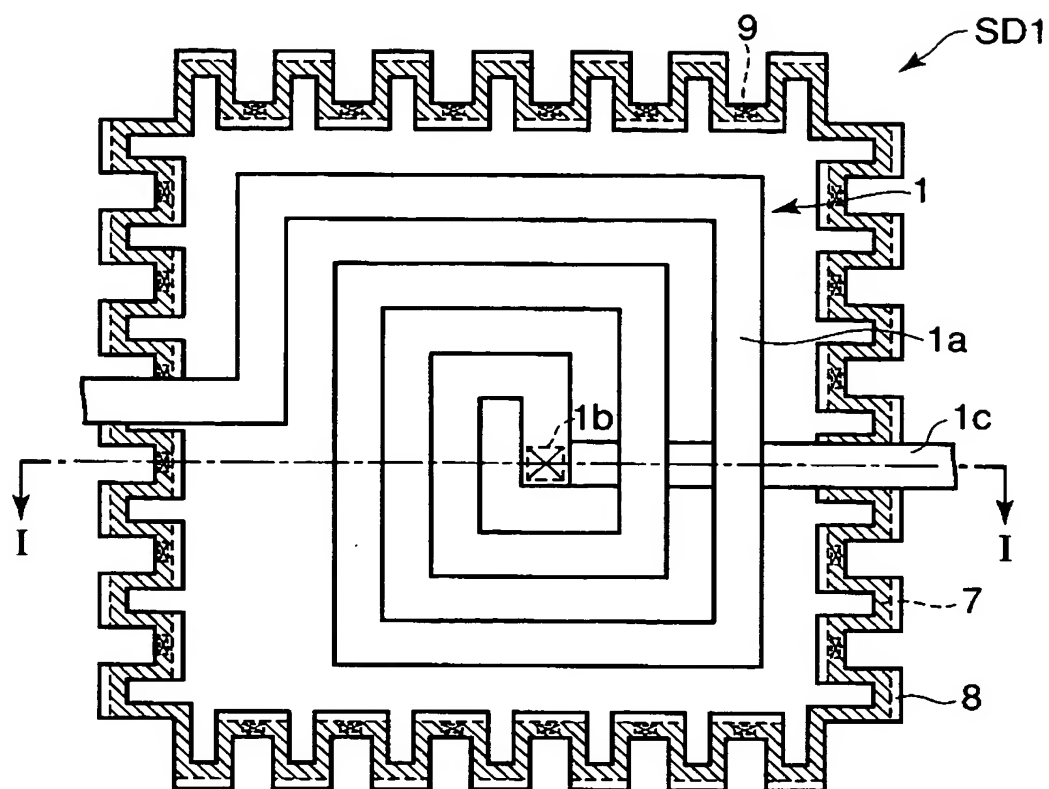
【図11】 図10に示した半導体装置におけるV-V線に沿った方向の断面図。

【符号の説明】**【0065】**

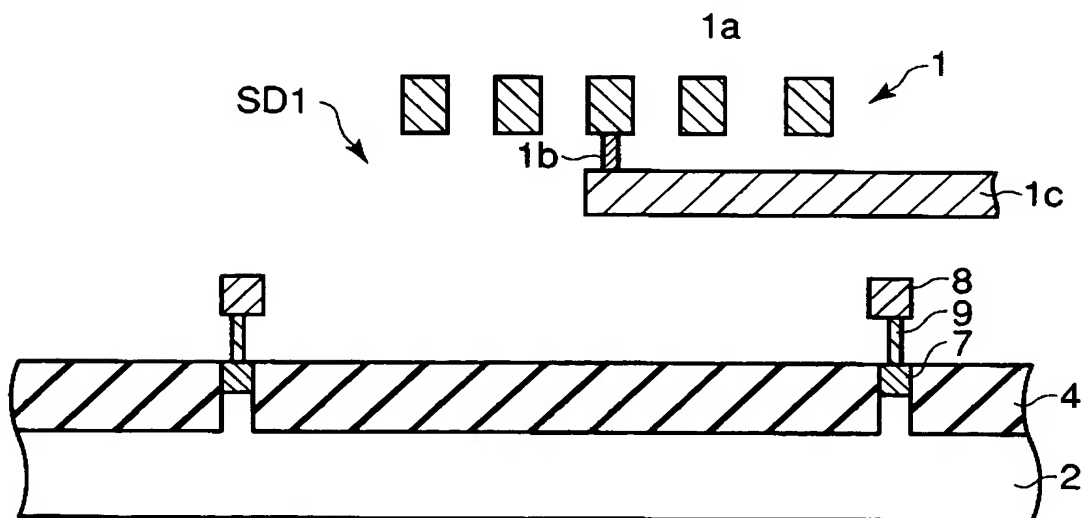
SD1～5…半導体装置SD、1…インダクタ、1a…金属部、1b…ビアプラグ、1c…金属部、2…半導体基板、3, 7, 12, 14…ガードリング、4…素子分離領域、5, 8, 13, 15…電位供給配線、6, 9, 11, 16, 17…コンタクトプラグ、11, 18…電源配線。

【書類名】 図面

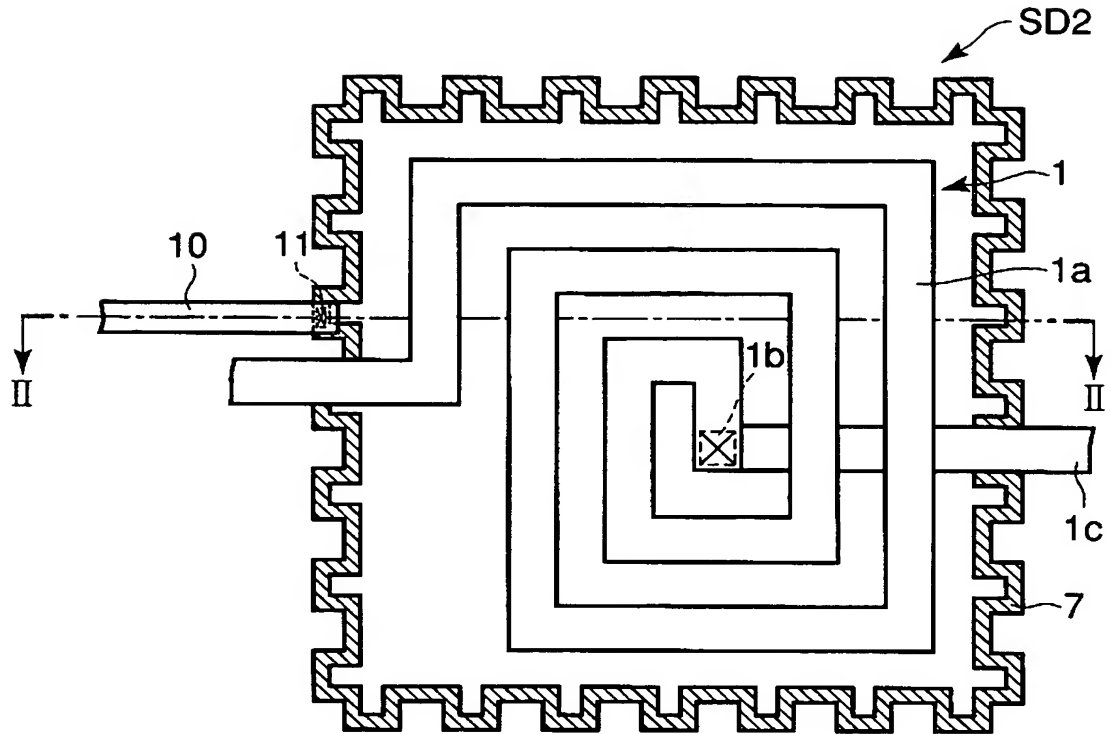
【図 1】



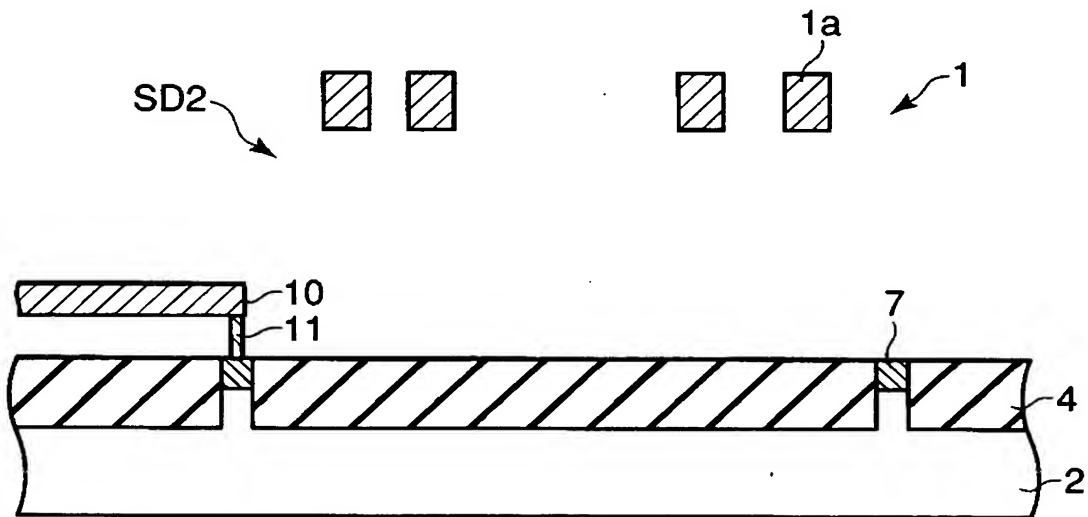
【図 2】



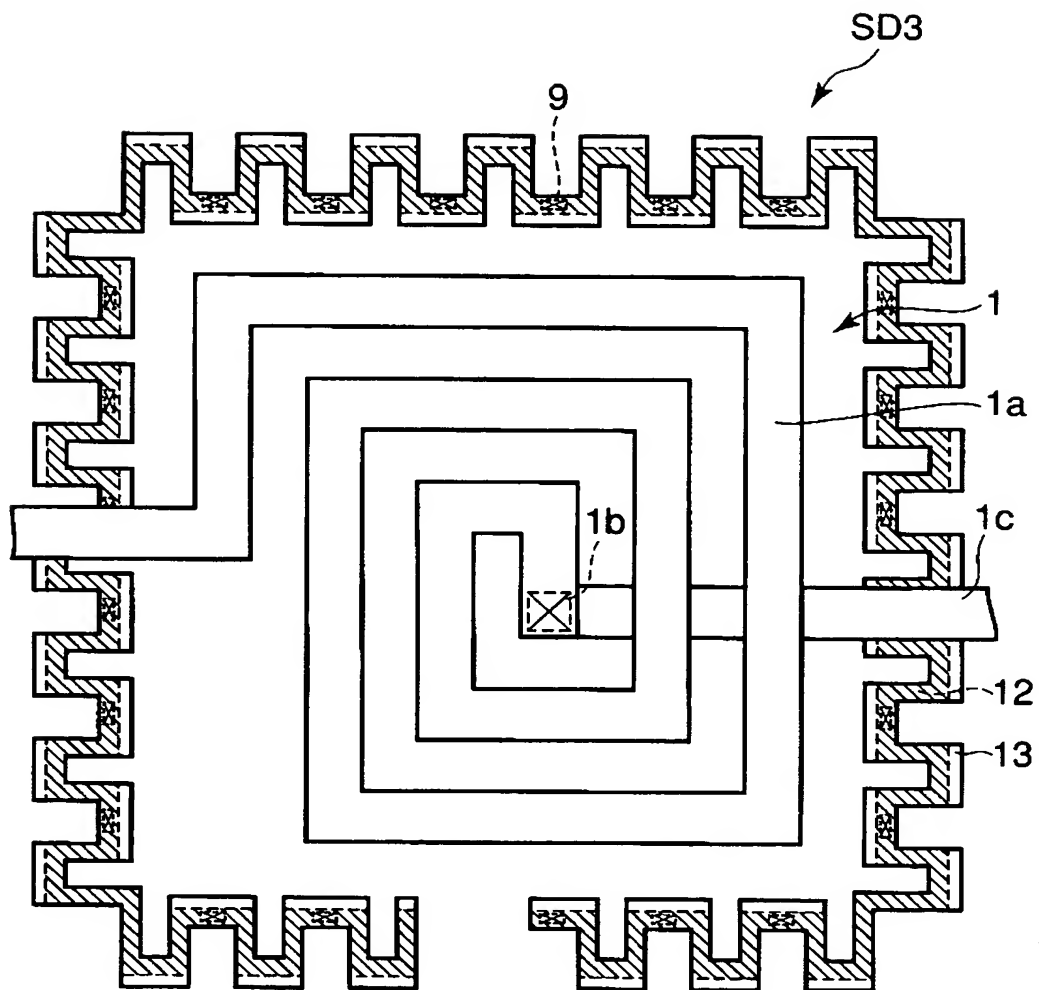
【図 3】



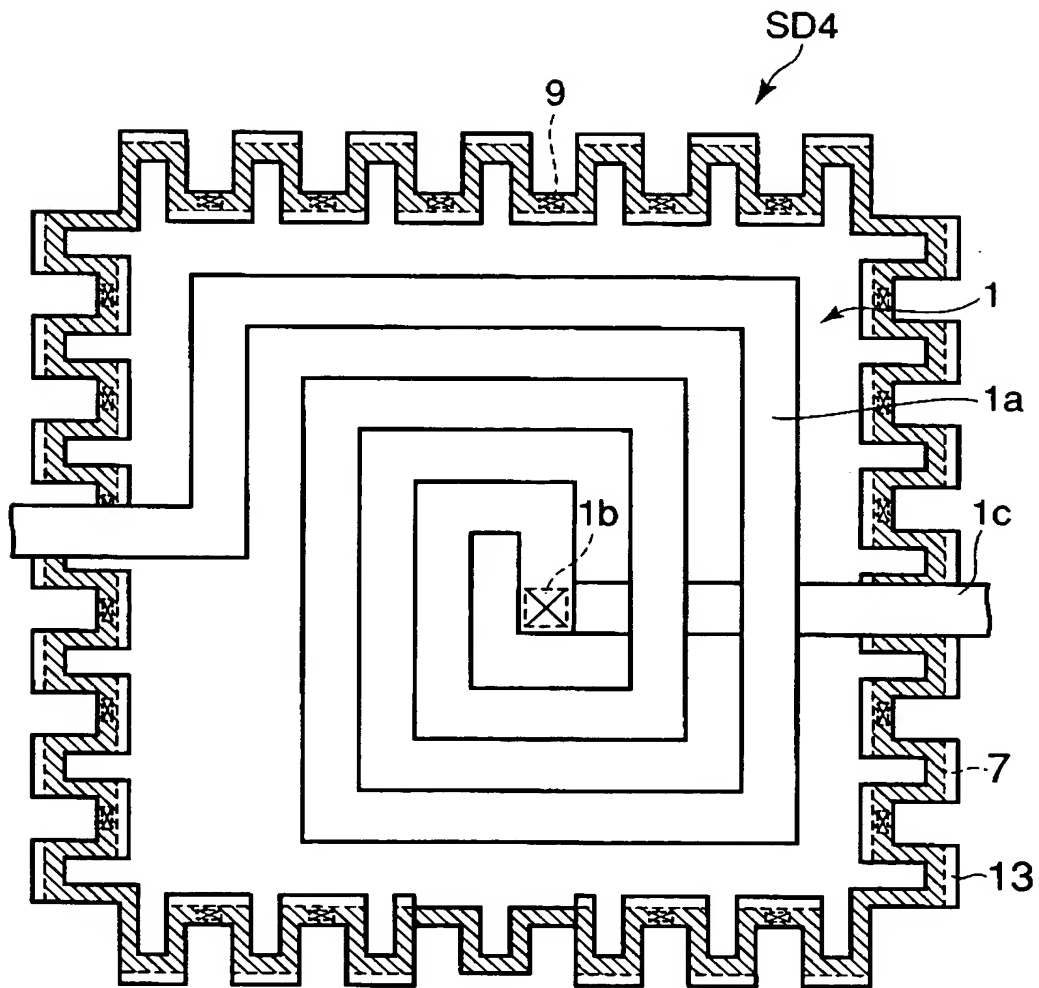
【図 4】



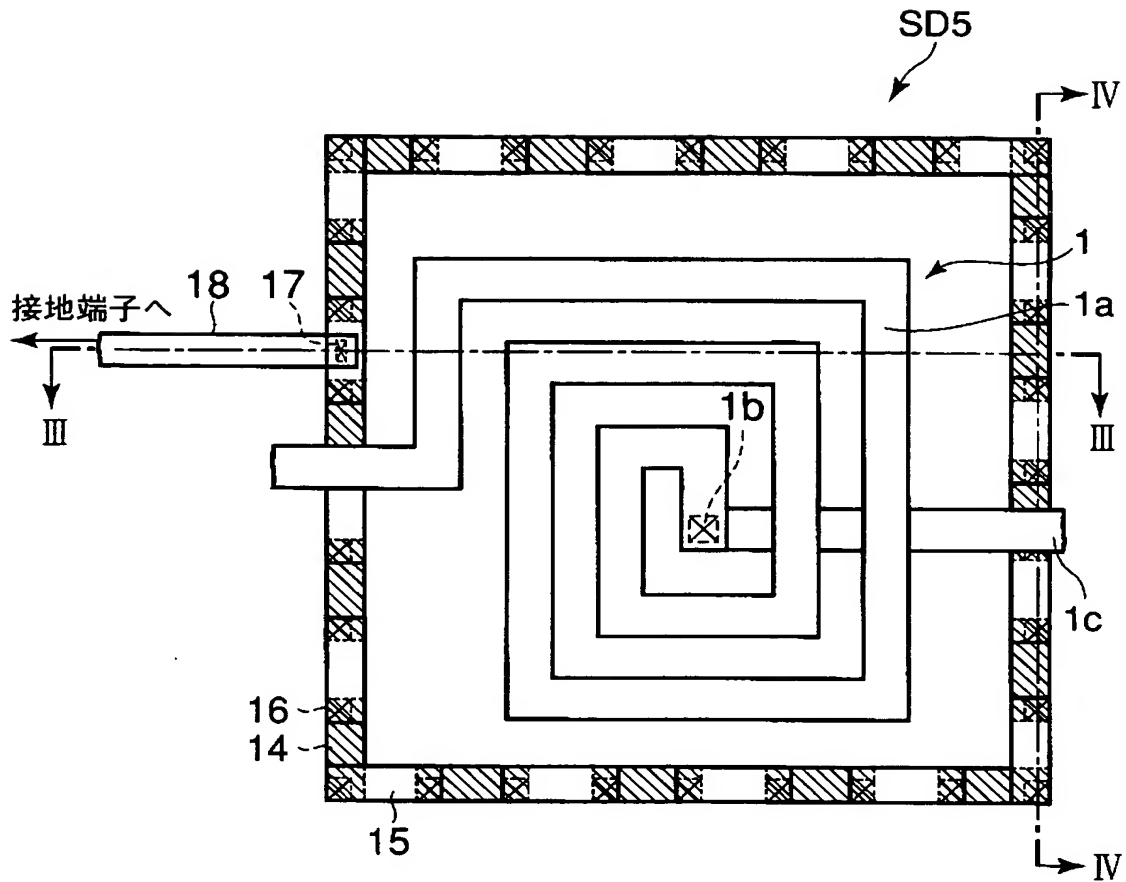
【図 5】



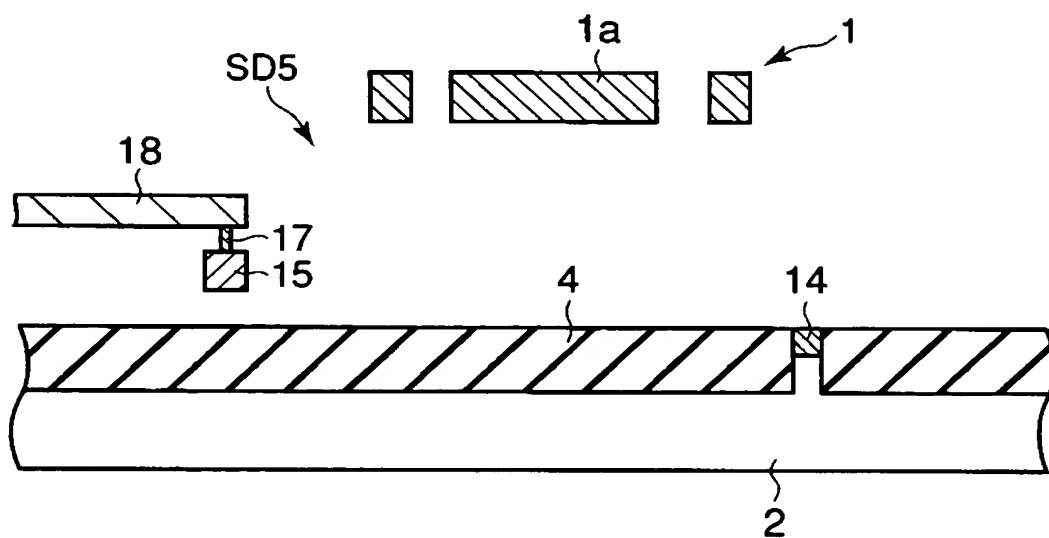
【図 6】



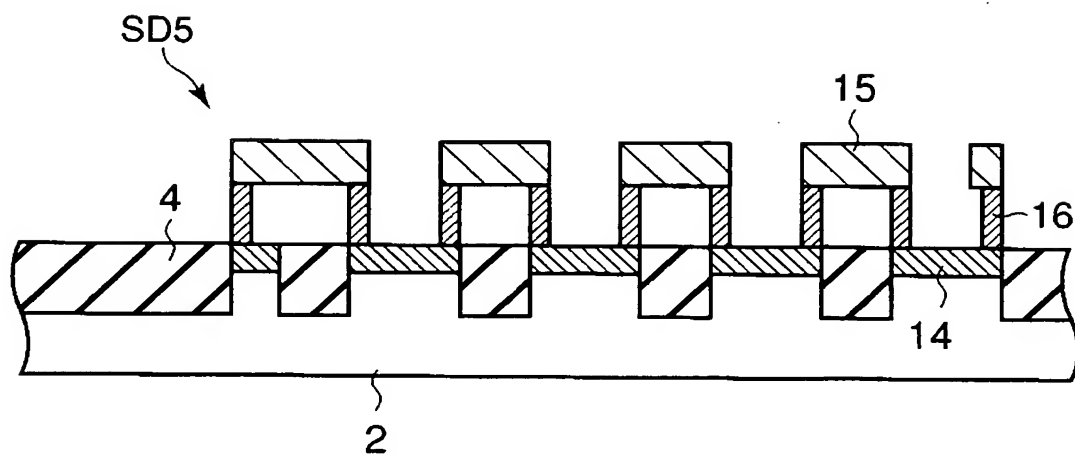
【図 7】



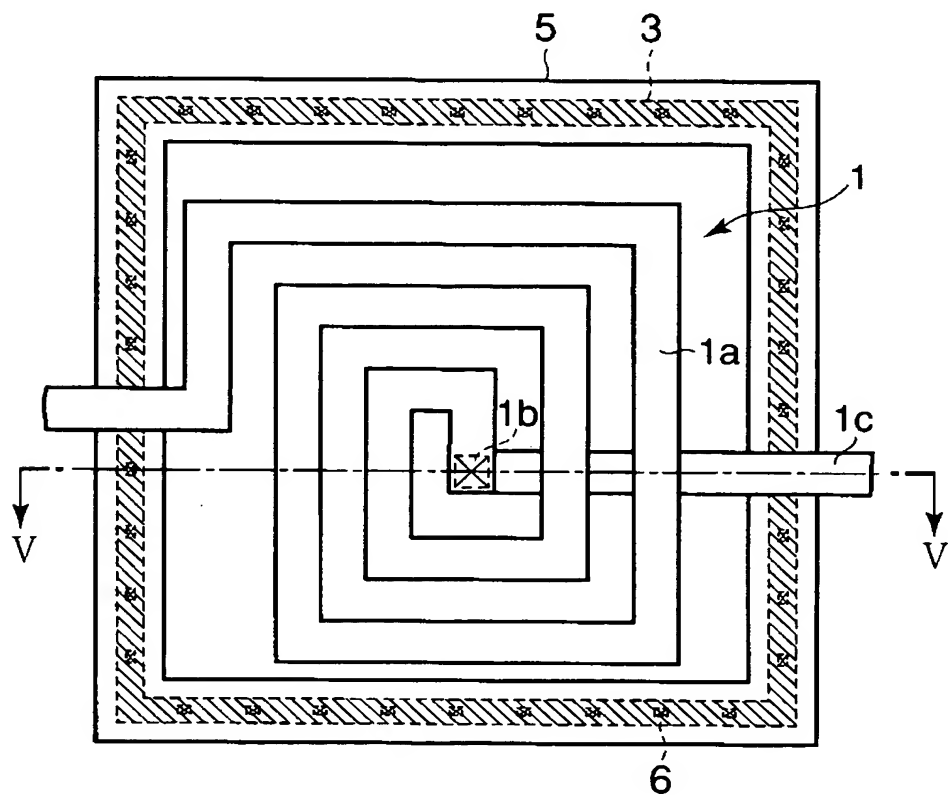
【図 8】



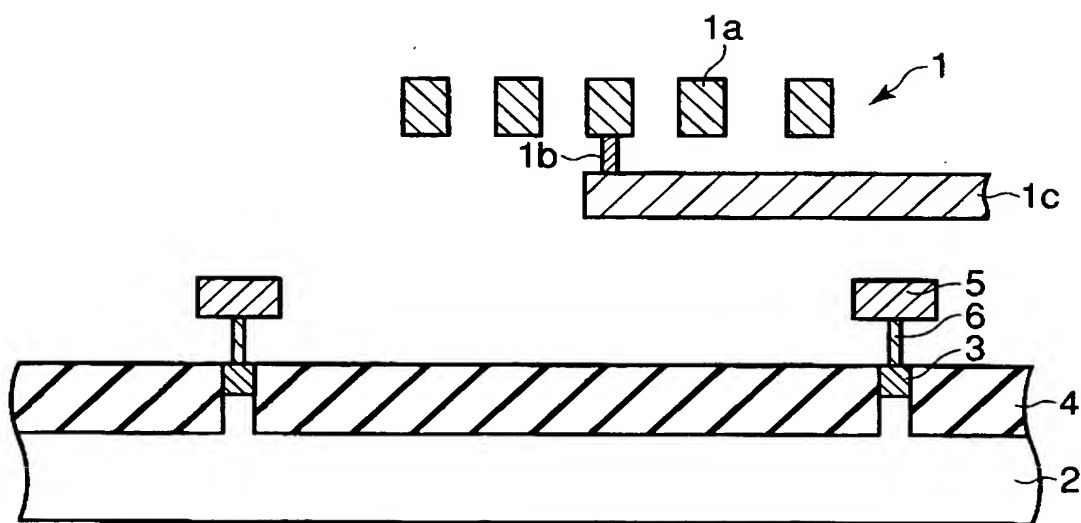
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 インダクタの周囲に形成されたガードリングに流れる電流を抑制する。

【解決手段】 半導体装置は、半導体基板と、前記半導体基板の上に形成された絶縁層と、前記絶縁層の上に形成されたインダクタと、前記インダクタを囲み且つ延伸方向において波形部分が連続するように前記半導体基板に形成されたガードリングと、前記ガードリングに所定電位を供給する電位供給配線とを有する。

【選択図】 図 1

特願 2003-318389

出願人履歴情報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝